УДК 621-391

ЦИФРОВОЙ ДЕМОДУЛЯТОР СИГНАЛОВ С ОТНОСИТЕЛЬНОЙ ФАЗОВОЙ МАНИПУЛЯЦИЕЙ

А.Н. Глушков, Б.Н. Колбов, В.П. Литвиненко

Рассматривается реализация цифрового демодулятора сигналов с относительной фазовой манипуляцией на основе программируемых логических интегральных схем (ПЛИС)

Ключевые слова: фазовая манипуляция, цифровая демодуляция, программируемые логические интегральные схемы, verilog

Двоичные сигналы с относительной фазовой (ОФМ) манипуляцией [1], предложенные Н.Т. Петровичем [2], применяются в некогерентных системах передачи дискретной информации, в которых отсутствует необходимость фазовой синхронизации демодулятора. В современных условиях актуальной является разработка цифровых демодуляторов на основе быстрых цифровых алгоритмов обработки узкополосных сигналов [3], реализованных в патенте [4].

Структурная схема цифрового демодулятора сигналов с относительной фазовой манипуляцией [4] показана на рис. 1.

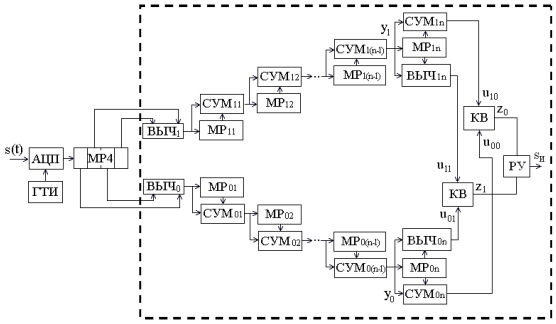

Рис. 1

Входной радиосигнал двоичного элемента с фазовой манипуляцией с выхода тракта промежуточной частоты приемника имеет вид

$$s(t) = S\cos(2\pi f_0 t + \psi + a\cdot\pi/2), \qquad (1)$$

S - амплитуда, ψ - начальная фаза, f_0 - несущая (промежуточная) частота, $a = \pm 1$. Для двоичного сигнала с ОФМ информационный символ определяется разностью фаз 0 или π принимаемого и предшествующего элементов.

Входной сигнал (1) поступает на аналого-цифровой преобразователь (АЦП), квантующий его с частотой $f_{KB} = 4f_0$ по четыре отсчета s_{i0}, s_{i1}, s_{i2}, s_{i3} на i-м периоде несущей согласно [3]. Они запоминаются в многоразрядном регистре сдвига на 4 отсчета (МР4) и в вычитателях ВЫЧ$_0$ и ВЫЧ$_1$ формируются два квадратурных отсчета вида

$$\begin{cases} x_{i0} = s_{i0} - s_{i2}, \\ x_{i1} = s_{i1} - s_{i3}. \end{cases} \qquad (2)$$

Значения x_{i0}, и x_{i1} поступают в каналы квадратурной обработки в которых реализуется быстрый алгоритм [3] вычисления их откликов

$$y_{i0} = \sum_{k=0}^{N-1} x_{(i-k)0} = \sum_{i=0}^{N-1}\left(s_{(i-k)0} - s_{(i-k)2}\right), \qquad (3)$$

$$y_{i1} = \sum_{k=0}^{N-1} x_{(i-k)1} = \sum_{i=0}^{N-1}\left(s_{(i-k)1} - s_{(i-k)3}\right), \qquad (4)$$

N - число периодов несущей $T_0 = 1/f_0$ в двоичном элементе.

Значения x_{i0} поступают на вход сумматора СУМ$_{01}$, в котором складываются с предшествующим отсчетом $x_{(i-1)0}$, записанным ранее в многоразрядный регистр сдвига на одну ячейку МР$_{01}$, после чего в регистр записывается x_{i0}. Аналогично сумма $x_{i0} + x_{(i-1)0}$ складывается с ранее записанным в регистр МР$_{02}$ сдвига на две ячейки значением $x_{(i-2)0} + x_{(i-3)0}$, после чего данные в регистре сдвигаются. Далее процесс вычисления проводится аналогично и на выходе $(n-1)$-го каскада появляется сумма (3),

$$n = \log_2 N + 1. \qquad (5)$$

Аналогично вычисляется сумма (4) в другом квадратурном канале.

Далее отклики y_{i0} и y_{i1} сравниваются со значениями $y_{(i-N)0}$ и $y_{(i-N)1}$, полученными на N периодов ранее и записанными в регистрах МР$_{0n}$ и МР$_{1n}$, и в сумматорах СУМ$_{0n}$ и СУМ$_{1n}$ вычисляются отклики квадратурных каналов на соседние двоичные элементы с равными фазами

$$u_{i00} = y_{i0} + y_{(i-N)0}, \qquad (6)$$

$$u_{i10} = y_{i1} + y_{(i-N)1}, \qquad (7)$$

а в вычитателях ВЫЧ$_{0n}$ и ВЫЧ$_{1n}$ – отклики

$$u_{i01} = y_{i0} - y_{(i-N)0}, \qquad (8)$$

$$u_{i11} = y_{i1} - y_{(i-N)1} \qquad (9)$$

Глушков Алексей Николаевич – Воронежский институт МВД РФ, канд. техн. наук, доцент, тел. 8(473) 242-14-41
Колбов Богдан Николаевич – ВГТУ, студент, тел. 89601055294
Литвиненко Владимир Петрович – ВГТУ, канд. техн. наук, доцент, тел. 8(473) 271-44-57

на элементы с противоположными фазами.

По полученным откликам в момент окончания очередного элемента сигнала с ОФМ по сигналам от системы тактовой синхронизации демодулятора вычисляются компоненты

$$z_{i0} = \sqrt{u_{i00}^2 + u_{i10}^2}\,, \qquad (10)$$

$$z_{i1} = \sqrt{u_{i01}^2 + u_{i11}^2} \qquad (11)$$

решающего правила, которое заключается в следующем: если $z_{i0} > z_{i1}$, то принимается решение о передаче символа 0, а иначе 1.

Актуальной задачей является оценка затрат аппаратных ресурсов, необходимых для реализации предложенного демодулятора на современных программируемых логических интегральных схемах (ПЛИС). На языке описания аппаратуры Verilog разработана RTL-модель [5] обведенной пунктиром на рис. 1 части цифрового демодулятора сигналов с ОФМ, работающего по рассмотренному выше алгоритму. Модель является полностью параметризированной. В зависимости от разрядности входных отсчетов АЦП, а также числа периодов N несущей, автоматически выбирается минимально необходимое число звеньев в канале квадратурной обработки и разрядность накопительных регистров.

Полученный цифровой демодулятор тактируется с частотой, равной частоте несущей (регистр MP4 на рис. 1 отнесен к АЦП), имеет четыре входные шины для получения результатов АЦП, а также один выход для последовательно вывода демодулированного сообщения. Общий вид верхнего модуля полученной модели представлен на рис. 2.

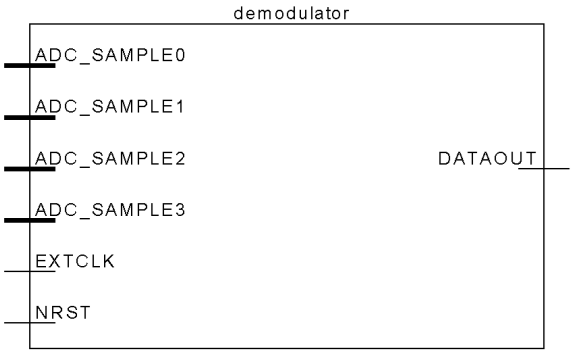

Рис. 2

Для оценки возможностей аппаратной реализации разработанного Verilog-описания применялась среда разработки Xilinx ISE, а в качестве целевых устройств рассматривались ПЛИС различных семейств из разных ценовых диапазонов. В ходе исследования использованы: модель XC6SLX9-2TQG144 семейства Spartan 6 (средняя розничная цена ~$7), XC5VLX110T-1FF1136 из семейства Virtex 5 (~$200), XC7K480T-1FFG1156 Kintex 7 (~$3200).

Для каждой из рассмотренных моделей проводился синтез электрической схемы, размещение схемы на кристалле, и затем анализировались временные и количественные параметры полученных устройств.

Временной анализ показал, что демодулятор, реализованный на данных ПЛИС, имеет многократный запас по частоте – схемы способны работать на тактовой частоте в несколько сотен МГц. Так, например, для модели из семейства Virtex 5 предельно возможная тактовая частота достигает 653 МГц.

В таблице приведены результаты количественной оценки необходимых аппаратных ресурсов (в числителе) и их общего количества (в знаменателе) для указанных выше моделей ПЛИС (в скобках указана относительная доля использованных ресурсов). Выбраны следующие параметры модели: разрядность АЦП $W_{ADC} = 8$ бит, число периодов несущей на символ $N = 128$, задаваемая при синтезе тактовая частота $f_0 = 100$ МГц. Для элементов ПЛИС приняты обозначения: Flip-Flop (триггер), LUT (коммутационный элемент), Slice (базовый логический элемент), DSP48 (секция цифровой обработки сигналов).

Элементы	Spartan 6	Virtex 5	Kintex 7
Flip Flops	598/11440 (5%)	600/69120 (<1%)	598/597200 (<1%)
LUTs	2035/5720 (35%)	1936/69120 (2%)	2010/298600 (<1%)
Slices	720/1430 (50%)	682/17280 (3%)	672/74650 (<1%)
DSP48	4/16 (25%)	4/64 (6%)	4/1920 (<1%)

Как видно из таблицы, демодулятор требует относительно незначительного количества ресурсов даже на «младшем» семействе Spartan 6, не говоря уже о «старших» линейках ПЛИС.

Субъективную оценку занимаемого места на ПЛИС также можно дать по схеме размещения демодулятора на кристалле. Пример его расположения на недорогой ПЛИС семейства Spartan 6 показан на рис. 3.

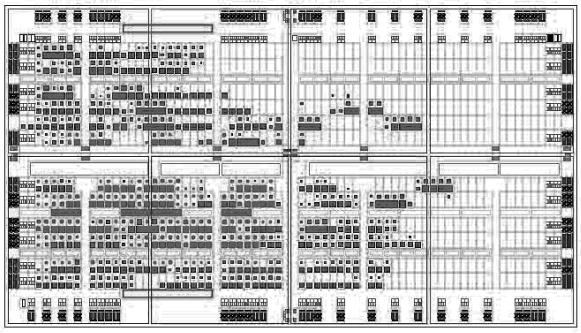

Рис. 3

Представляет интерес исследование влияния характеристик демодулятора на количество требуемых для его реализации элементов. В качестве

«опорной» ПЛИС была выбрана модель семейства Virtex 5 (таблица).

На рис. 4 показаны зависимости от N относительной доли требуемых логических элементов при вышеуказанных параметрах модели. Как видно, при увеличении N от 32 до 512 количество требуемых аппаратных ресурсов вырастает почти в 2 раза.

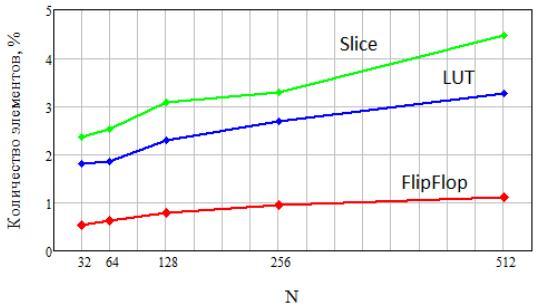

Рис. 4

Следовательно, разработанная модель цифрового демодулятора позволяет гибко конфигурировать параметр N, оказывая незначительное влияние на количество требуемых элементов.

Рассмотрено влияние разрядности отсчетов АЦП на количество логических элементов (рис. 5) при $N = 128$.

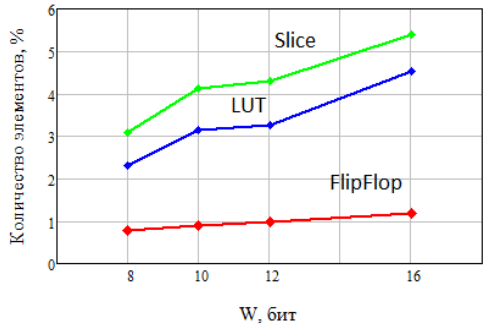

Рис. 5

Как видно из рис. 5, величина разрядности результата АЦП оказывает более значимое влияние на требуемые аппаратные ресурсы - так при увеличении разрядности в 2 раза, количество необходимых элементов тоже возросло практически в 2 раза. Это можно объяснить тем, что разрядность входных данных определяет разрядность внутренних арифметических устройств.

Весомым параметром реализации демодулятора является потребляемая мощность. Ее величина слабо зависит от $N = 32 \div 512$ и при $W_{ADC} = 8$ бит, и $f_0 = 100$ МГц составляет 15-19 мВт. При изменении тактовой частоты f_0 от 50 МГц до 300 МГц, потребляемая мощность возросла от 13 до 31 мВт.

Результаты исследования показали, что реализованный на Verilog блок цифрового демодулятора обладает достаточным быстродействием, чтобы обрабатывать модулированные ОФМ сигналы на промежуточной частоте радиоприемника, а также является вполне компактным и масштабируемым. Это позволяет использовать данный цифровой демодулятор на широком классе ПЛИС, при этом оставляя место для размещения других цифровых блоков обработки сигнала, составляющих радиоприемный тракт.

Литература

1. Финк Л.М. Теория передачи дискретных сообщений [Текст] / Л.М. Финк. - М.: Советское радио, 1970. - 728с.

2. Петрович Н.Т. Передача дискретной информации в каналах с фазовой манипуляцией [Текст] / Н.Т. Петрович. -М.: Сов радио, 1965. - 263 с.

3. A. N. Glushkov, V. P. Litvinenko, B. V. Matveev, O. V. Chernoyarov. Basic Algorithm for the Noncoherent Digital Processing of the Narrowband Radio Signals. Applied Mathematical Sciences, Vol. 9, 2015, no. 95, 4727 – 4735.

4. Патент РФ № 2505922 от 27.01.2014. Цифровой демодулятор сигналов с относительной фазовой манипуляцией. / А.Н. Глушков, В.П. Литвиненко

5. Максфилд К. Проектирование на ПЛИС [Текст] / К. Максфилд. – М.: Издательский дом «Додэка XXI», 2007. - 400 с.

Воронежский институт МВД РФ
Воронежский государственный технический университет

DPSK SIGNALS DIGITAL DEMODULATOR

A.N. Glushkov, B.N. Kolbov, V.P. Litvinenko

DPSK signals digital demodulator hardware implementation on programmable logic integrated circuits (FPGA)

Key words: phase modulation, digital demodulation, FPGA, verilog